



Docket No.: 1095.1279

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Hisayoshi OHBA et al.

Serial No. 10/606,951

Group Art Unit: 2825

Confirmation No. 4838

Filed: June 27, 2003

Examiner: Stacy Whitmore

For: METHOD, PROGRAM, AND APPARATUS FOR DESIGNING A SEMICONDUCTOR
DEVICE

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

DECLARATION UNDER 37 C.F.R. § 1.131

We, Hisayoshi Ohba and Jun Watanabe, the joint inventors in United States patent application serial number 10/606,951, hereby declare as follows:

1. That prior to June 7, 2002, we conceived the invention identified by the specification, drawings, and claims of the above-identified patent application, in Japan, a World Trade Organization (WTO) country. Evidence of the aforesaid conception is attached hereto as Exhibit A, with English translation.
2. That prior to June 7, 2002, assignee Fujitsu, Limited, submitted evidence of said conception to a law firm by the name of Hattori & Associates, to allow Japanese application serial number 2002-196865 (the parent application of the subject application) to be drafted, as evidenced by the "History of Application," with English translation, attached hereto as Exhibit B and as further evidenced by Exhibit C, correspondence establishing that a copy of the Japanese parent application was forwarded to said assignee on May 31, 2002.
3. That after said parent application was forwarded to said assignee, said parent application was reviewed by the inventors.
4. That on July 5, 2002, a specification, a set of claims, drawings, and an Abstract of the above-identified Japanese parent application was filed with the Japanese Patent Office.
5. That on June 27, 2003, the subject patent application was filed in the United States Patent and Trademark Office.

6. Specific dates redacted from Exhibits A and B are prior to May 31, 2002.

Declarants further declare that the above statements were made with knowledge that willful false statements and the like are punishable by fine and/or imprisonment or both, under Section 1001 of Title 18 of the United States Code, and any such willful false statement may jeopardize the validity of this application or any patent resulting therefrom.

Date: Jun 30, 2005

Date: July 1, 2005

By: Hisayoshi OHBA
Hisayoshi Ohba

By: Jun Watanabe
Jun Watanabe

(A) 依頼元発信番号 (identification No.) CT020220-2

発明者確認書 Inventor Declaration

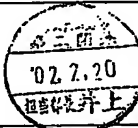


私/我々は、添付に開示の発明を我々が年/月/日に着想/発明したことを宣誓する。
I/We declare that the invention disclosed in the attachment was conceived/made by me/us on

(B) / /
Year / Month / Date

(C) 発明者氏名 Inventor Name	(D) 署名 Signature	(E) 署名日 Date	(F) 職制印 Stamp
Hisayoshi Ohba	大庭 久芳		
Jun Watanabe	渡邊 淳		

証人確認書 Witness Declaration

私は、この書面に添付の説明書に記載の発明を確認し、理解したことを宣誓します。ここに私の理解の確認として確認日を記入し、署名及び押印致します。
I declare that I have reviewed and understood the invention disclosed in the attached paper. Here, I sign and put my stamp with the date as confirmation of my understanding.

(G) 確認者氏名 Witness Name	(H) 署名 Signature	(I) 確認日 Date	(J) 職制印 Stamp
Takeyuki Inoue	井上 健之	2002/2/20	
Haruyoshi Takaoka	高岡 晴義	2002/Feb./21	
Harunoba Yoshida	Harunobu Yoshida	2002/11/6	

添付資料 Attachment: 原稿・図面 (K) 全 5 頁 (含む本頁)
Total Pages (including this page)

EXHIBIT "A"

発明明細書

電デハ(1シス)2開発)CTpj) 大庭、渡邊

[名称]

半導体集積回路におけるダミー発生

[概要]

本発明は、LSI Layout パターンの疎密(密度差)によるエッチング工程でのパターン幅変動や CMP 工程での Dishing による高さ変動を防ぐため、ダミーパターンを挿入する技術に関する。

ダミー発生はChip Areaを分割し、分割AREA内で、所望のパターン密度を得られるまで、ダミーパターンサイズや配置を変化させながら最適化を図るものである。

[従来技術と課題]

従来のダミー発生は、Chip 全体に同一サイズのダミーパターンを一律に発生していた。そのため、Chip 全体でパターン密度を満足していても、Chip 内部での密度偏在化が生じる。(密度不均一)

パターン密度の偏在化は、製造工程でバラツキの原因となる。例えば、エッチング工程でのパターン幅変動や CMP 工程での Dishing による高さ変動である。よって、密度の最適化を行わない手法ではダミー効果が不十分となる。

対して、最適化を図る技術も提案されているが、一律に発生させたダミーの形状変更となり、それは多角形ダミーパターンのため、データ量や CAD 処理時間の増加を招いている。

[手段]

本発明では、パターン密度偏在化を防ぐために、Chip Areaを分割し、パターン密度を分割 AREA 内で、目標密度の閾値判定を設けることにより所望のパターン密度を得られるまで、ダミーパターンサイズや配置を変化させながら最適化し、Chip 全体の密度均一化を図ることを目的としている。

[請求項]

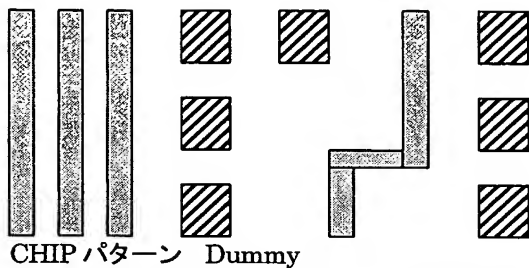
1. ダミーパターンを必要とするマスク層に関し、CHIP を分割し、分割した AREA 毎にダミーパターンを最適に発生させることを特徴とするダミー発生方法。
2. 1 項の分割 AREA 毎にパターン密度を算出する工程をもつダミー発生方法。
3. 2 項は、ダミーパターンを含めた密度算出を特徴とする。
4. 1 項は、CHIP 全体の最終パターン密度を閾値として持つことを特徴とする。
5. 1 項は、分割された AREA の最終パターン密度を閾値として持つことを特徴とする。
6. パターン密度閾値により、AREA 毎にパターン密度を判定することを特徴とする。
7. 6 項の閾値判定により、パターン密度を最適化する工程を含むダミー発生を特徴とする。
8. パターン密度最適化は、容量変動を抑制する工程を含むことを特徴とする。
9. AREA 毎の閾値判定は、X または Y 方向に 整数倍サイズずらして行うことを特徴とする。
10. AREA 内でパターン密度が満足できない場合は、AREA を整数倍に増減させて判定することを特徴とする。

[効果]

分割した AREA 内で所望の密度が得られるため、Chip 全体として均一なパターン密度が得られる。よって、Chip 内部でのパターン偏在化による製造バラツキを抑制することが可能となる。

<従来>

Chip 全面に発生させる方式



ある AREA を抜粋した場合、密度不均一

↓ 設計基準を満足できない場所は、Dummy 未発生



<実施例>

<1> Chipを分割

<Chipを分割>

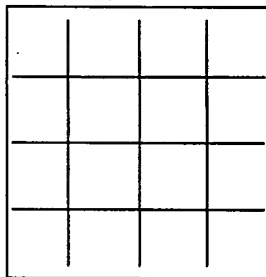


図1 LSI Chip

<2> 分割領域ごとにダミー発生

<Chip分割領域>



図2 分割領域

<3> 分割方法-1

- 1 任意指定
- 2 ChipSize(X-Y方向)の最大公約数
- 3 高密度領域部指定
 - (1) Pad部のPitchサイズ
 - (2) マクロデータ部(例SRAM)の最大公約数
- 4 基準ダミーパターン発生後のChip内の高密度領域部

分割方法-2

分割方法は、分割領域を二重にダブらせてシフトし分割を行う。

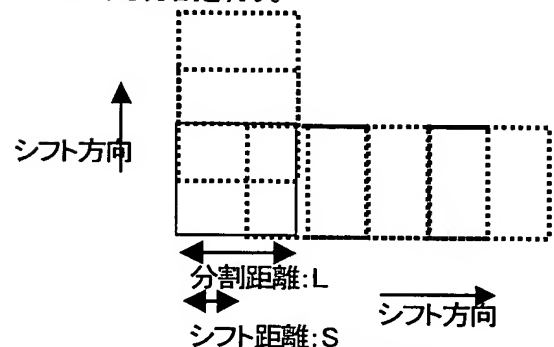


図3 分割方法

<4> 付加機能

<密度指定可能>

パターン密度指定可能。

・ ユーザー外部入力

・ CAD内部処理

(Chip内高密度領域の密度にあわせる)

<ダミー発生AREA指定>

クロストーク等を考慮したダミー発生可能

・ 未発生AREA指定

・ ダミー基準サイズ発生のみ(サイズ変更不可)

<5> ダミーパターンサイズ
分割領域内で、ダミーサイズを可変させながら
所望の密度を得るまでダミー発生を繰り返す。

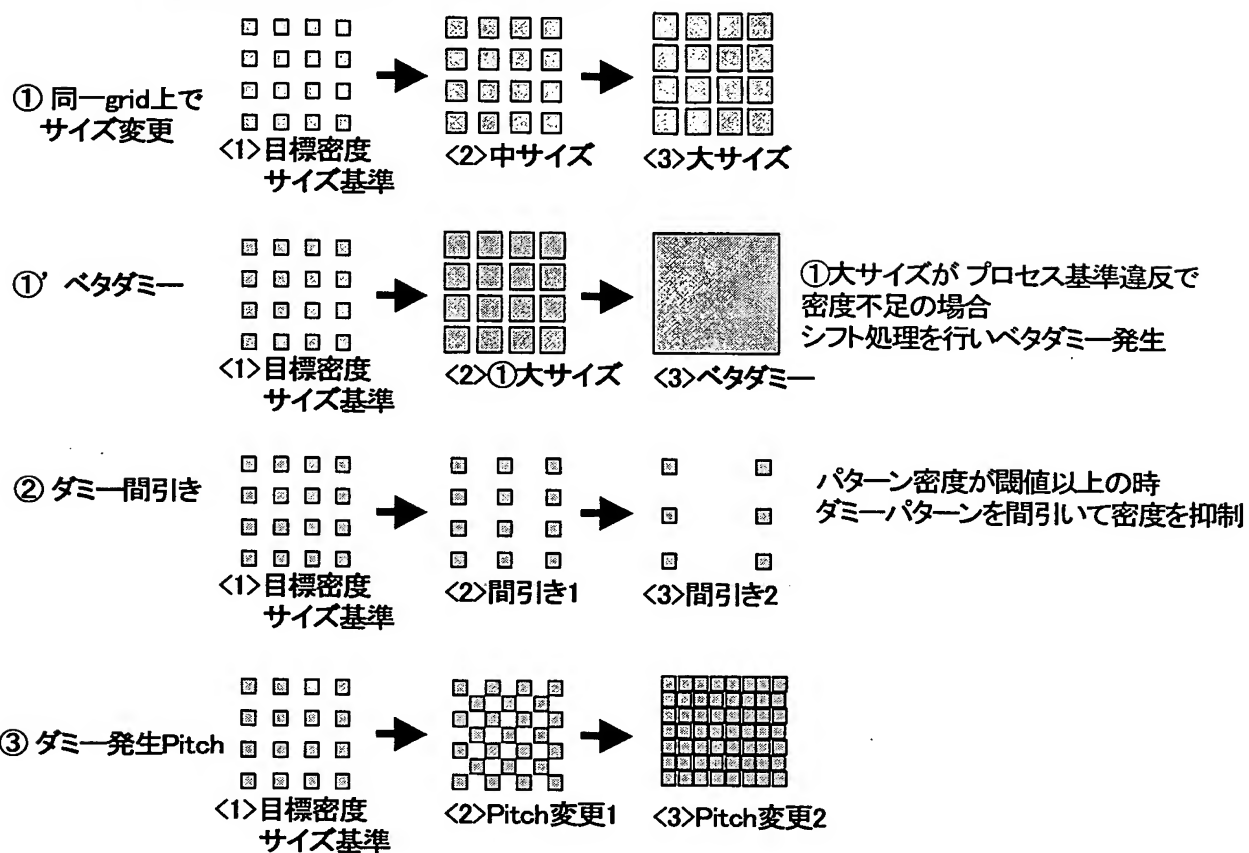


図4 ダミーサイズ

<6> ダミー発生例1

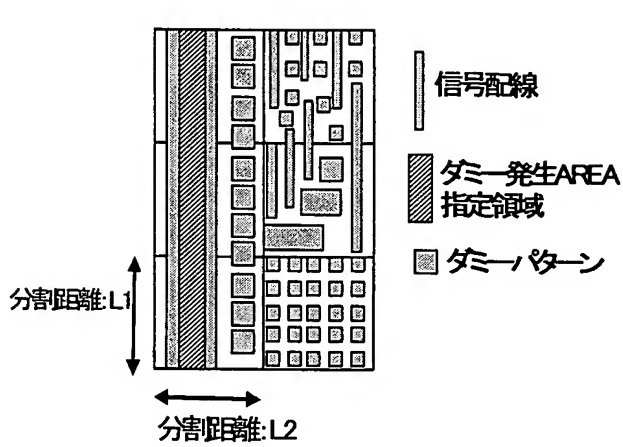


図5 ダミー発生例

発生AREA指定: $L \times n > \text{閾値}$

L: 分割距離

n: track数など

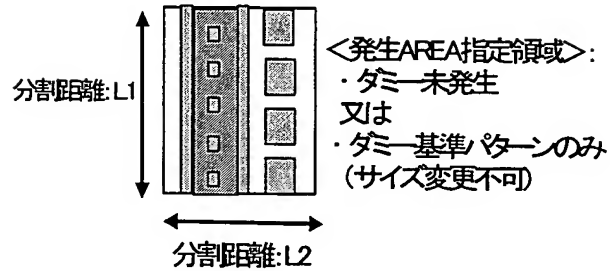
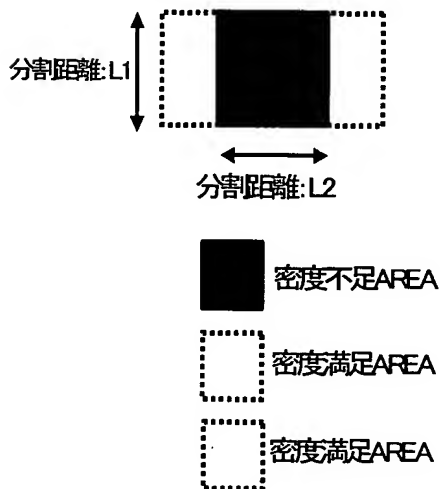


図6 ダミー発生例(未発生AREA)

<7> ダミー発生例2

ある分割AREAにて、密度不足が存在した場合
前後左右のAREAで密度満足であれば
密度不足AREAは、Kとする



<8> ダミー発生フロー

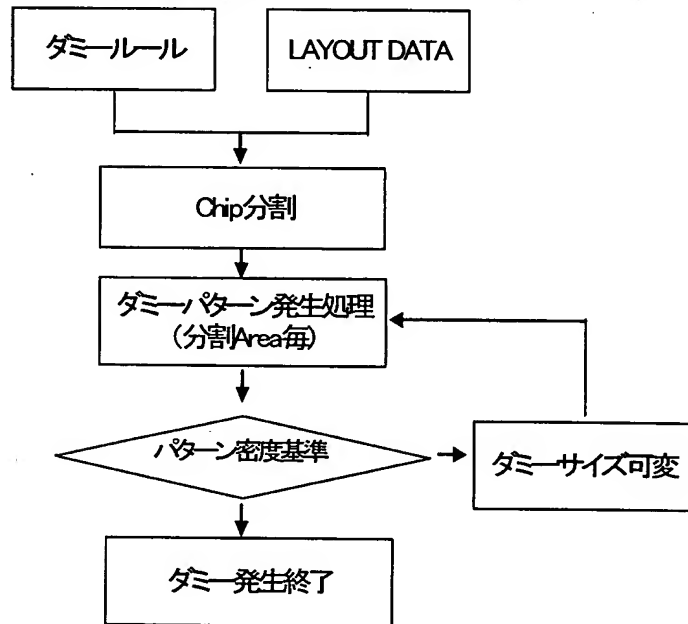


図7 ダミー発生フロー

SPECIFICATION FOR INVENTION

Electronic device) 1 system) 2 Development) CTpj) Ohba, Watanabe

[TITLE]

GENERATION OF DUMMY ON SEMICONDUCTOR CHIP

[SUMMARY]

This invention relates to a technique to insert dummy patterns in order to prevent variation of pattern width in an etching process and variation of height that is caused by dishing in a CMP process, due to the densities (density difference) of LSI Layout patterns.

Dummy generation is performed by dividing a Chip Area and then changing the sizes and arrangement of dummy patterns in each divided AREA until desired pattern density is obtained, resulting in performing optimization.

[PRIOR ART AND PROBLEM]

Conventionally, dummy patterns of the same size are uniformly generated on an entire chip. Therefore, the chip has non-uniform density even if the chip's pattern density is wholly acceptable. (non-uniform density).

Non-uniform pattern density causes variations in a manufacturing process. For example, variation of pattern width in an etching process and variation of height due to Dishing in a CMP process occur. Therefore, techniques that do not perform optimization of density do not bring out sufficient dummy effects.

On the other hand, a technique that performs optimization has also been proposed. This technique only changes the shapes of uniformly generated dummies, that is, generates polygon

dummy patterns, resulting in increase in data amount and processing time for CAD.

[Means]

In order to prevent non-uniform pattern density, this invention intends to equalize density on the entire chip by performing optimization in which a Chip Area is divided and the sizes and arrangement of dummy patterns are changed based on a judgment for desired density by using a threshold until desired pattern density is obtained.

[Claims]

1. A method for generating a dummy characterized by dividing a CHIP and generating suitable dummy patterns in each divided AREA in a mask layer that requires dummy patterns.
2. A method for generating a dummy including a process to calculate pattern density in each divided area of claim 1.
3. Claim 2 is characterized by calculation of density including dummy patterns.
4. Claim 1 is characterized by using the final pattern density on the entire chip as a threshold.
5. Claim 1 is characterized by using the final pattern density of the divided AREA as a threshold.
6. Pattern density is judged in each AREA by using a pattern density threshold.
7. Generation of a dummy is characterized by including optimization of pattern density that is performed based on the judgment using a threshold of claim 6.
8. The optimization of pattern density is characterized by including a process to inhibit change of capacitance.
9. The judgment using a threshold in each AREA is performed by shifting by an integral multiple size in X or Y direction.

10. When pattern density is not satisfied in an AREA, the AREA is expanded or narrowed by an integral multiple and then is judged.

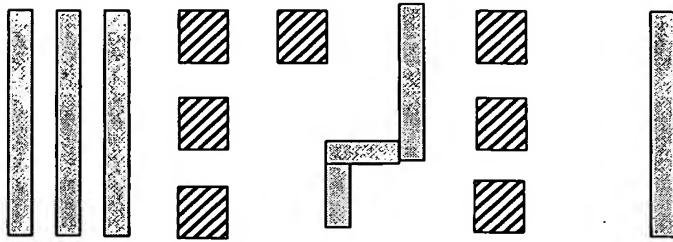
[Effects]

Since desired density can be obtained in divided AREAs, uniform pattern density can be obtained in an entire chip. As a result, variation due to non-uniform pattern in the chip can be prevented in manufacturing.

<Prior Art>

Method for generating dummies
On entire chip

Dummy is not generated in an area
that does not satisfy design criteria



CHIP Pattern Dummy

Density is not uniform in an arbitrary area.

<Embodiment>

<1> Divide Chip

<2> Generate dummies in each
divided area

<Divide Chip>

<Chip divided area>

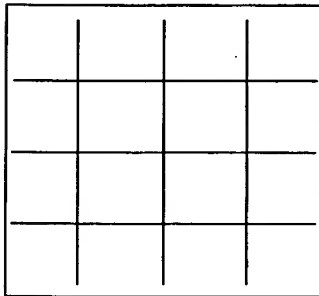


Fig. 1 LSI Chip



Fig. 2 Divided area

<3> Method for division - 1

1. Arbitrary specification
2. The greatest common factor of ChipSize (X-Y direction)
3. Specification of high density area
 - (1) Pitch size of Pad part
 - (2) The greatest common factor of macro data part (for example, SRAM)

4. High density area in Chip after generation of standard dummy pattern

Method for division - 2

Division is performed by doubling and shifting divided area.

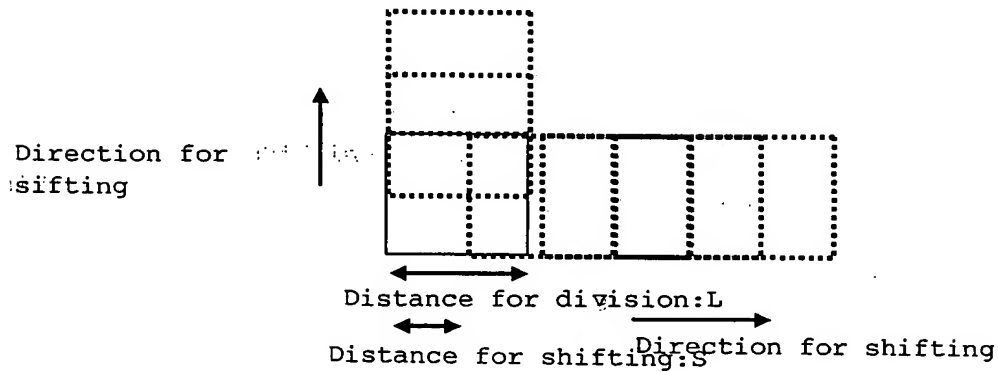


Fig. 3 Method for division

<4> Additional functions

<Density specification>

Pattern density can be specified

External user input

CAD internal processing (density in high density area in Chip is a basis)

<AREA specification for dummy generation>

Dummy can be generated with taking cross-talk into consideration

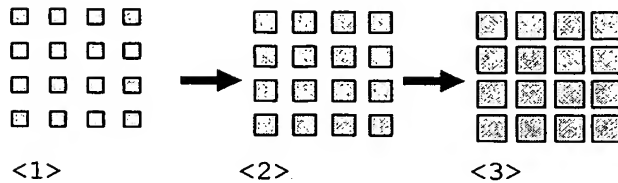
AREA specification for non-generation

Only generation of dummies of standard size (size cannot be changed)

<5> Dummy pattern size

Generation of dummy is repeated with changing dummy size in divided area until desired density is obtained.

① Change of size on the same grid



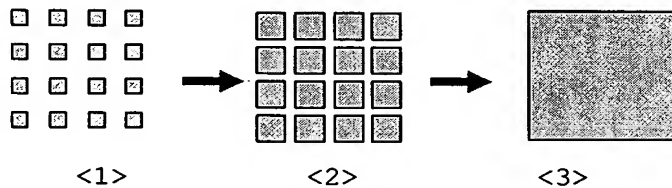
<1> Target density

Standard size

<2> Medium size

<3> Large size

①' Beta dummy



<1> Target density

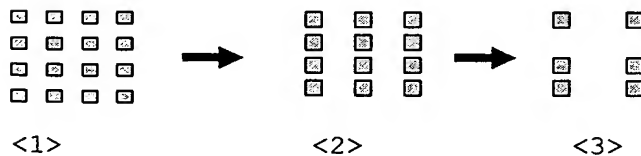
Standard size

<2> ① Large size

<3> Beta dummy

① Beta dummy is generated by performing shifting when large size does not meet process criteria and desired density is not obtained.

31: ② Dummy thinning



<1>

<2>

<3>

<1> Target density

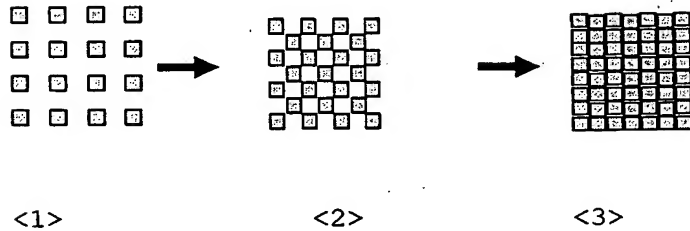
Standard size

<2> Thinning 1

<3> Thinning 2

Density is suppressed by thinning dummy patterns when pattern density is a threshold or over.

32: ③ Dummy generation Pitch



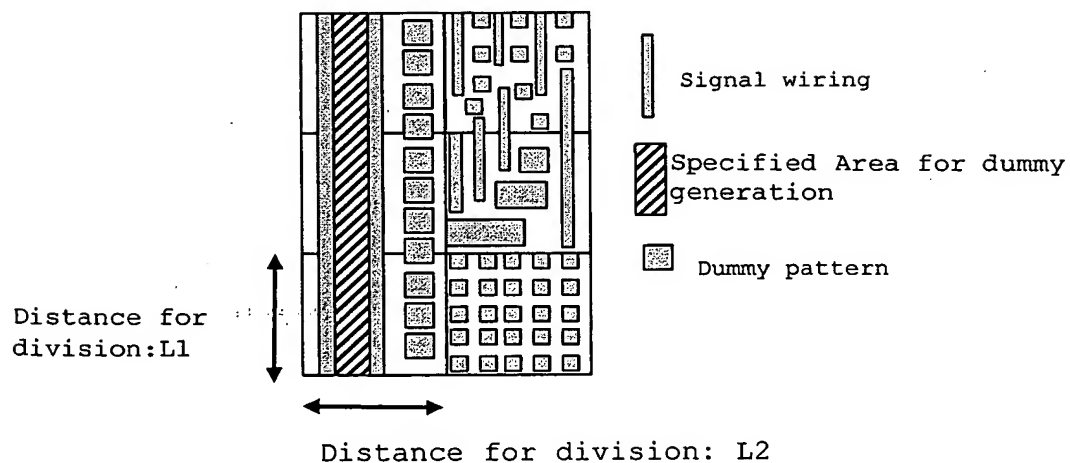
<1> Target density
Standard size

<2> Change of Pitch 1

<3> Change of Pitch 2

Fig. 4 Dummy size

<6> Example of dummy generation 1



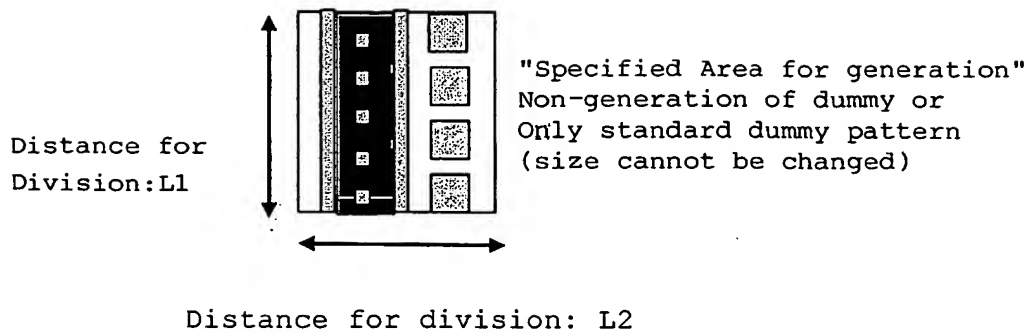
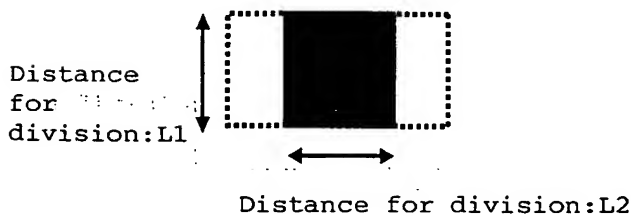


Fig. 6 Example of dummy generation (non-generation AREA)

<7> Example of dummy generation 2

Even if a divided AREA is a lack of density, the AREA with the lack of density is determined as being O.K when upper, lower, left and right AREAs satisfy the density.



AREA with unsatisfied density



AREA with satisfied density



AREA with satisfied density

<8> FLOW OF DUMMY GENERATION

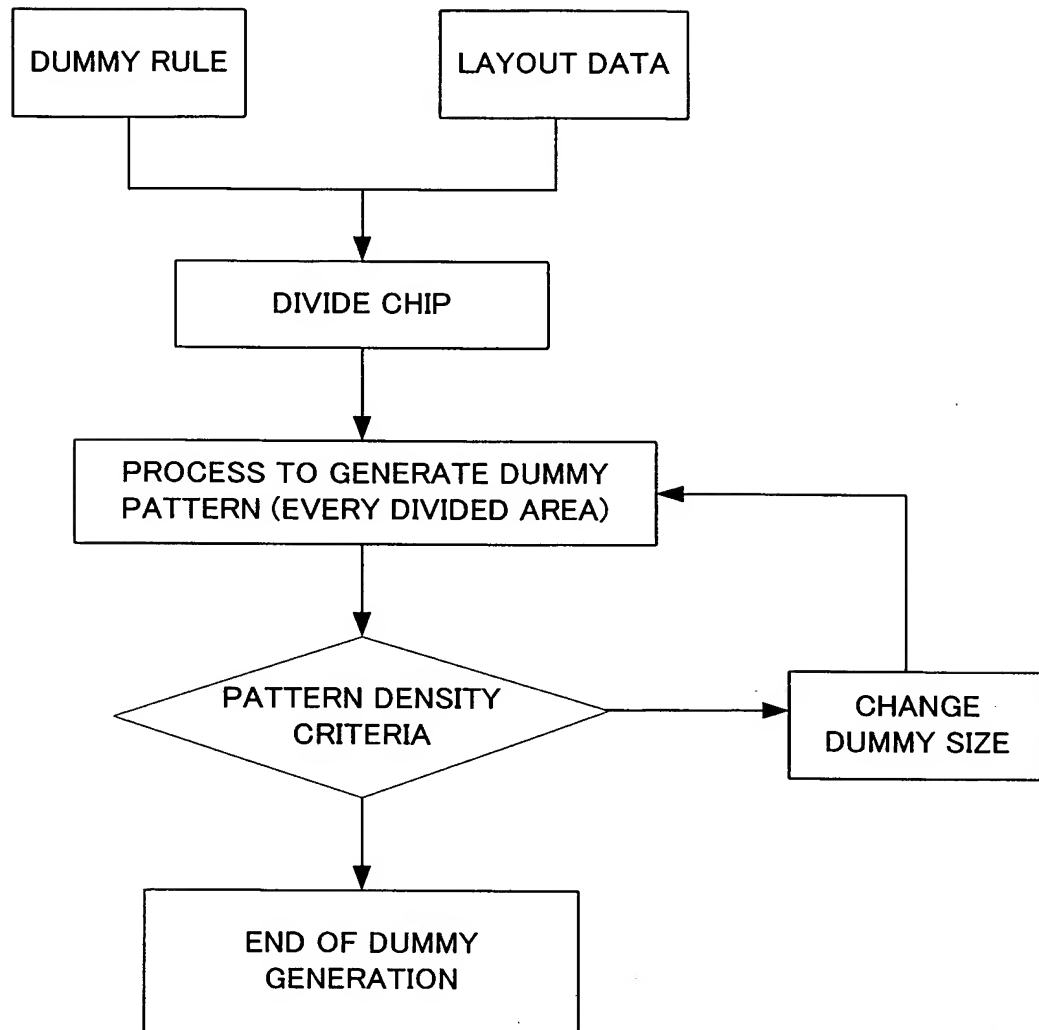


Fig. 7 Flow of dummy generation

受付番号	02-40260
受付日	14.02.21
特許部担当	吉田晴信
外部事務所	服部
事務所担当	ハットリ
外注依頼日	14.05.07
受取日	14.05.31
処理結果	国内・外
処理日	14.07.02
返送日	14.07.02
出願日	14.07.05
整理番号	0240260
名称	半導体集積回路におけるダミー発生
要約	本発明は、LSI Layout パターンの疎密(密度差)によるエッチング工程でのパターン幅変動や CMP 工程での Dishing による高さ変動を防ぐため、ダミーパターンを挿入する技術に関する。ダミー……
発明者	大庭 久芳 渡邊 淳

HISTORY OF APPLICATION

RECEIPT NUMBRER: 02-40260

RECEIPT DATE:

CHARGE OF PATENT DIV.: Harunobu YOSHIDA

ORDER TO: HTATTORI

ATTORNEY: HATTORI

ORDER DATE:

DATE RETURNED TO FUJITSU:

ROUTE OF APPLICATION: JAPAN/FOREGIN COUNTRY

DATE

FROM FUJITSU:

APPLICATION DATE:

REFERENCE NUMBER: 0240260

TITLE OF INVENTION: GENERATION OF DUMMY ON
SEMICONDUCTOR CHIP

ABSTRACT: This invention relates to a technique to insert dummy patterns in order to prevent variation of pattern width in an etching process and variation of height that is caused by dishing in a CMP process, due to the densities (density difference) of LSI Layout patterns.

INVENTORS: Hisayoshi OHBA
Jun WATANABE

平成 14 年 5 月 31 日

富士通株式会社
特許業務部長 殿
ご担当 吉田 晴信 殿

服部特許事務所
(事務担当：小池)
TEL 0426-45-6644
FAX 0426-45-8578

	明細書原稿送付書	国内
--	----------	----

貴社整理番号	02-40260
弊社整理番号	FUP-1341
発明または考案の名称	半導体装置の設計方法、半導体装置の設計プログラム
送付書類	願書 2 枚
	明細書 17 枚
	図面 7 枚
	要約書 1 枚
弊社技術担当 小池 伸太郎でございます。 早急にご回答下さいますようお願い申し上げます。	

Patent Department
FUJITSU LIMITED
Mr. Harunobu YOSHIDA

HATTORI PATENT OFFICE
(ASSISTANT: Koike)
TEL: 0426-45-6644
FAX: 0426-45-8578

Re: DRAFT OF APPLICATION (Domestic)

Fujitsu Ref. : 02-40260

Our Ref. : FUP-1341

Title of the Invention : Method, Program, and Apparatus For Designing
a Semiconductor Device

Sending document: Petition	2 sheets
Specification	17 sheets
Drawing	7 sheets
Abstract	1 sheet

Note :